ノート

EMC 技術の高度化に関する研究
－基板プレーン共振による不要放射ノイズの低減手法－

福嶋　祐一*　石井　啓貴*

Study for Advanced Expertise of EMC Technology
- Reduction Method for Radiated Emission due to PCB Plane Resonance -

FUKUSHIMA Yuichi* and ISHII Hirotaka*

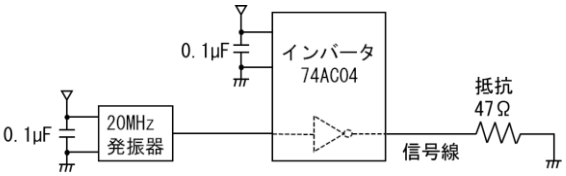
1. 緒　　言

製品から不要放射ノイズを発生させないためには，製品に使用されている基板の配線パターンを正しく設計する必要がある。令和 3 年の報告 [1]では，不要放射ノイズの発生しない理想的な配線方法について示し，検証用の評価基板を製作したが，残留する不要放射ノイズが確認されていた。このことから令和 4 年の報告 [2]では，残留の原因が基板プレーン共振（以降，プレーン共振と表記）であることを示唆し，低減手法の一例を示した。しかし，プレーン共振に対する根本的対策ではなかったため，効果が限定的であった。

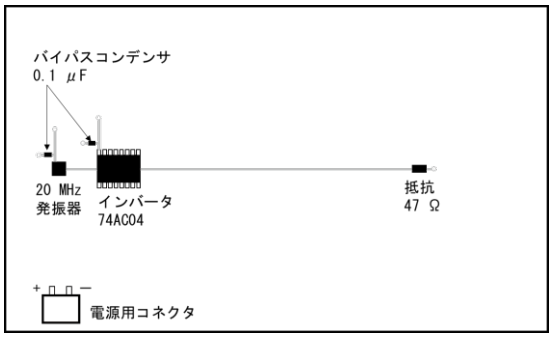
そこで本報告では，プレーン共振を引き起こす根本的な要因を示し，プレーン共振による不要放射ノイズの低減手法について述べる。

2. プレーン共振による不要放射ノイズ

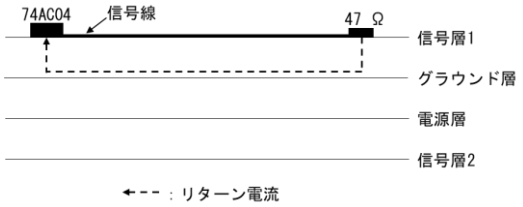
プレーン共振とは，多層基板において電源層，グラウンド層およびその間の誘電体層から形成される平行平板の固有周波数で起こる共振現象である。固有周波数は，電源層およびグラウンド層の形状やそれらの層に接続された部品特性によって決まるものであり，すべての基板において存在する。平行平板にノイズが流入し，固有周波数で励振されてプレーン共振が起こることで，ノイズが顕在化する。そのため，プレーン共振によるノイズを低減するには，電源層およびグラウンド層にノイズを流入させないことが最大の対策となる。



(a) 回路図



(b) 外観図



(c) 断面図

図 1　理想的な配線の基板（基板 No. 1）

これまでの研究で製作した理想的な配線の基板の回路図，外観図，断面図を図 1 に示す。この基板は，プレーン共振によるノイズが確認されているものであり，発生要因としては(1)発振器およびインバータの電源端子から出るノイ

* 中越技術支援センター

ズ，(2)信号線の直下を流れるリターン電流 [1] の 2 つが考えられる。

2.1　電源端子のノイズによるプレーン共振

IC などの電源端子近傍には，電源層へのノイズ流出を防ぐためにバイパスコンデンサ（以降，パスコンと表記）を配置することが一般的である。適切なパスコンであれば，IC に対して低インピーダンスの経路が形成され，ノイズ流出を防ぐことができる。しかし，コンデンサには寄生インダクタンスなどによるインピーダンスの周波数特性があり，電源層側よりもインピーダンスが高くなることがある。これにより，パスコンにノイズが流れにくくなり，図 2 のように IC などからのノイズが電源層へ流出し，プレーン共振の発生に影響すると考えられる。

対応策としては，図 3 のように電源層側にインダクタを実装することが有効である。インダクタにより電源層側のインピーダンスが高くなることで，パスコンへのノイズ流入が優位となり，電源層への流出を防ぐことができる。

2.2　リターン電流によるプレーン共振

多層基板に信号線を配線した場合，配線直下の層にはリターン電流が存在する（図 1(c)）。リターン電流は，信号と同じ周波数成分を有しており，グラウンド層に分布することでプレーン共振の励振源になると考えられる。基板の層構成によってリターン電流の流路が分断されてしまうと，ノイズは大きくなる [1]。このことから，リターン電流によるプレーン共振に起因したノイズ低減のためには，リターン電流を小さくする，つまり，信号電流を小さくすることが対策になると考えられる。

3. 不要放射ノイズの測定

3.1　評価基板

プレーン共振の低減手法を検証するために評価を実施した。評価基板として，(1)図 1 に示した基板（No.1），(2) 図 4 のように基板 No.1 に対して電源端子部に 100 nH のインダクタを実装した基板（No.1-a），(3)図 5 のように基板 No.1-a に加えて信号負荷を 150 Ω に変更した基板（No.1-b）の 3 種類を用意した。評価基板の

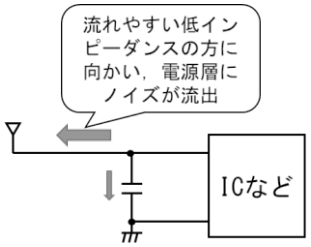


図 2　電源端子部にパスコンのみの場合

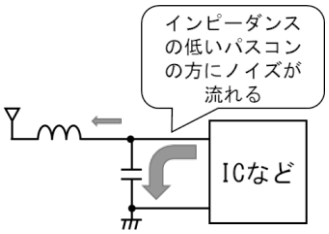


図 3　電源層へのノイズ流出防止方法

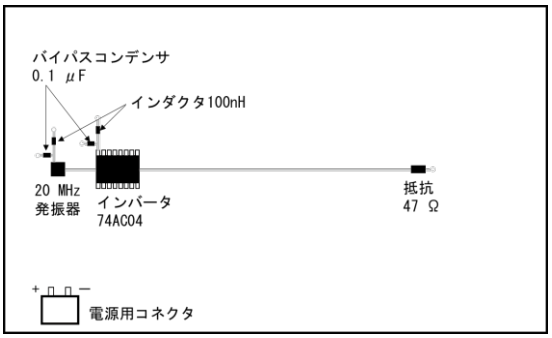


図 4　基板 No.1-a

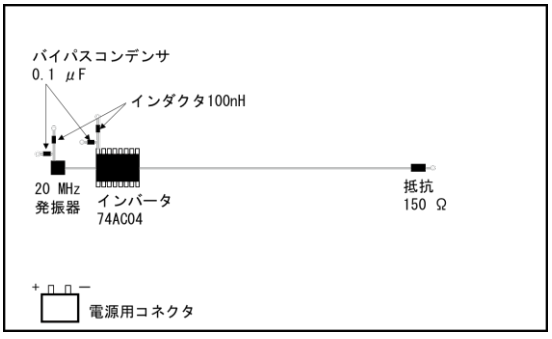


図 5　基板 No.1-b

表 1　評価基板の共通仕様

基板サイズ	長さ 180 mm，幅 100 mm
基板厚	1.6 mm （電源-グラウンド間：1 mm）
基板層構成	・信号層 1-グラウンド層-電源層-信号層 2 の 4 層 ・電源層，グラウンド層は全領域を導体層
信号源	周波数 20 MHz の発振器
信号増幅	CMOS インバータ（74AC04）
信号線長さ	100 mm
信号線の特性インピーダンス	50 Ω

共通仕様を表 1 に示す。信号線は，信号層 1 のみに理想的なマイクロストリップ伝送線路として配線した。この 3 種類の基板のノイズおよびプレーン共振周波数を測定し，関係性について比較検討した。評価の周波数範囲は 30 MHz～1 GHz とした。

3.2　不要放射ノイズの測定方法

ノイズの測定は，これまでの報告[1,2]と同じように VCCI 協会が定める技術基準 VCCI - CISPR32[3]に準拠し，図 6 のとおりに測定を行った。

3.3　プレーン共振周波数の測定方法

プレーン共振の共振周波数は，基板の電源層－グラウンド層間の高周波透過係数（S21）のピーク周波数で確認できる[2]。図 7 のように同軸ケーブルの内導体を電源層，外導体をグラウンド層のそれぞれの端部に接続する。接続した同軸ケーブルをネットワークアナライザに接続して S21 を測定した。

3.4　測定結果および考察

表 2 にノイズと S21 の測定結果を示す。基板 No.1 で確認されたプレーン共振による不要放射ノイズが，IC などの電源端子部にインダクタを実装すること（基板 No.1-a）で，大きく低減していることが分かる。またリターン電流を小さく抑えること（基板 No.1-b）で，残留していた

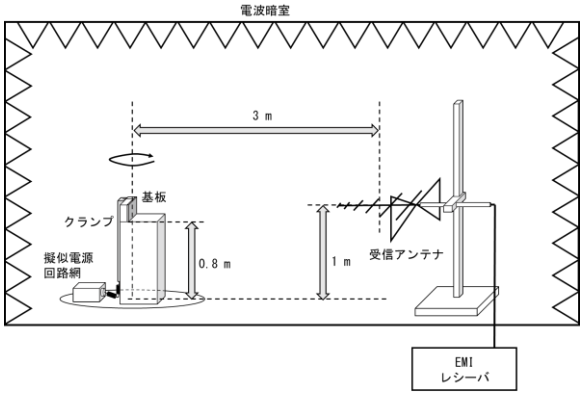


図 6　不要放射ノイズ測定セッティング
（30 MHz～1 GHz）

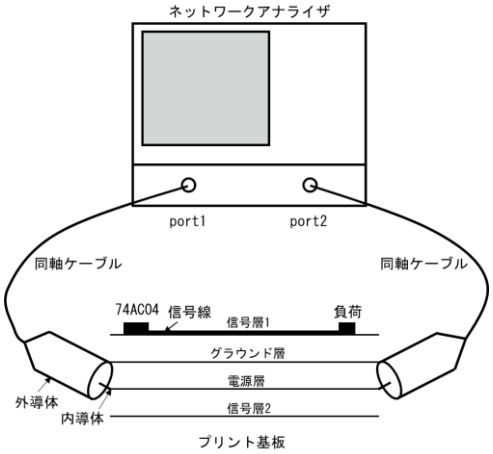


図 7　S21 の測定セッティング

ノイズも確認できなくなった。プレーン共振周波数については，電源端子部にインダクタを実装したことでプレーン共振の共振周波数が移動したが，その共振点はなくならないことが分かった。

以上から，電源端子から基板に流入するノイズを低減すること，リターン電流を減らすことはプレーン共振によるノイズの低減に有効であることが分かった。リターン電流を減らすことは基板設計上難しいケースが多いことや，電源端子からのノイズの方が影響度が高いことを考慮すると，図 3 のように IC などの電源端子部にインダクタを実装することが現実的な対策と言える。しかし，この対策にも注意が必要である。図 3 は典型的な LC 共振器となっているため，

共振周波数とICなどの動作周波数が合致してしまうとプレーン共振が増大する恐れがある。実装するインダクタ定数については，適用するICなどの諸特性と合わせて決定する必要がある。

4. 結　　言

(1) IC などの電源端子部にインダクタを実装すること，リターン電流を小さくすることで，プレーン共振によるノイズが低減されることが分かった。

(2) 電源端子部に実装するインダクタの定数は実際の IC などの動作周波数に合わせて調整する必要がある。

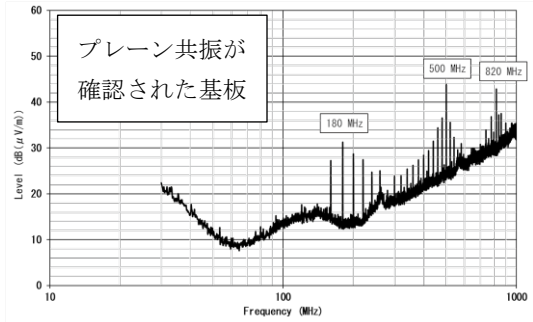
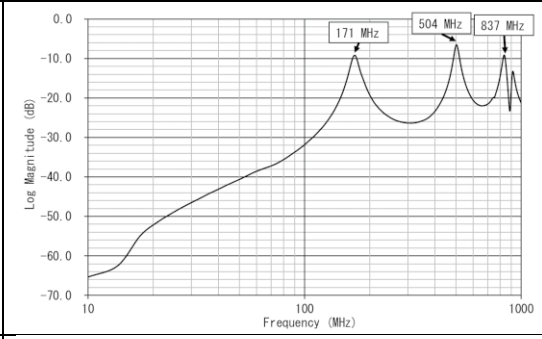
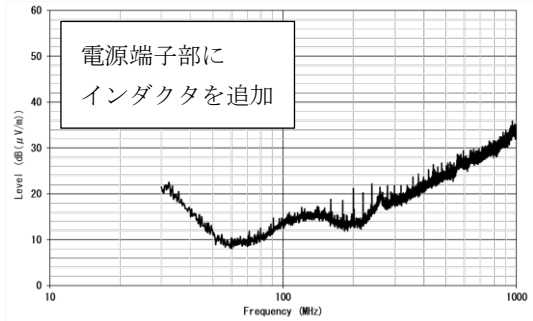
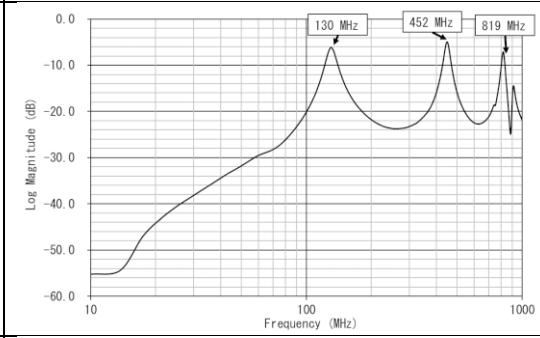
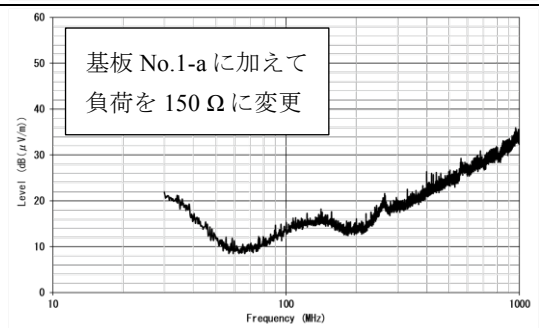
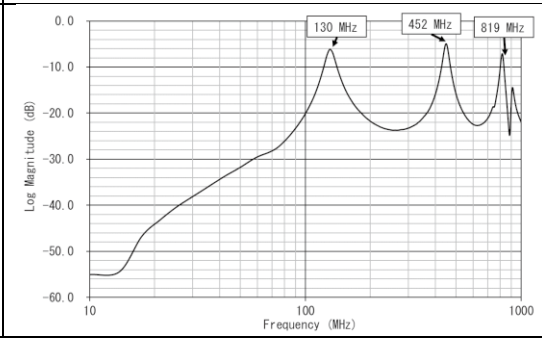
参考文献

1) 福嶋祐一ほか，“EMC 技術の高度化に関する研究－不要放射ノイズが増大する主要因の調査－”，工業技術研究報告書，No.50，2021，pp.57-61.

2) 福嶋祐一ほか，“EMC 技術の高度化に関する研究－基板プレーン共振の影響の判別とその対策法－”，工業技術研究報告書，No.51，2022，pp.45-48.

3)（一財）VCCI 協会，“VCCI 技術基準 VCCI-CISPR32:2016”，2016.

表 2　ノイズおよび S21 の測定結果

基板 No.	ノイズ測定結果	S21 測定結果
1		
1-a		
1-b