次世代デバイス設計とその応用製品開発

天城　和哉*　　長谷川　直樹**　　大野　宏**　　小林　豊***　　石井　啓貴**

Research of Designing Technique and Application Development
on Next Generation Electronic Device

AMAKI　Kazuya*,　HASEGAWA　Naoki**,　OHNO　Hiroshi**,
KOBAYASHI　Yutaka***　and　ISHII　Hirotaka**

抄　録

近年、電子機器は小型化、高機能化を目指して新製品開発が繰り返し行われている。これには電子回路のシステム LSI 化が不可欠である。一方、製品の低価格化、ライフサイクルの短期化に伴い低コストかつ迅速な電子回路の設計開発が重要視されてきている。県内中小企業でも製品の高付加価値化のために IC 化の必要性を感じている企業が多いが、設計技術者の不足や開発コスト負担の不安から取り組みに躊躇しているのが現状である。本調査研究では、電子デバイスの現状、その設計技術、および現存する開発支援体制について調査し、具体的に幾つかのデバイスについて設計・試作に取り組み、県内中小企業による次世代デバイス利用促進のための支援体制構築について検討する。コストおよび納期を考慮すると、プログラマブルデバイスに着目した開発支援体制作りが有効である。

1. 緒　　言

電子・半導体産業は、デジタル家電、携帯電話などに代表されるように小型化、高性能化を目指し新製品開発に取り組んでいる。製品の小型化、高付加価値化には電子回路のシステム LSI 化が不可欠である。システム LSI は、動作検証済みの設計資産である IP（Intellectual Property）を組み合わせて大規模な機能システムを 1 チップ上に形成した半導体集積回路であり、高集積化、高速化、多機能化などの高付加価値半導体集積回路である点で、既成の半導体製品とは異なる新たな市場を創出する製品として期待されている。このデバイス技術は、ASIC やフルカスタム LSI といわれる顧客専用のデバイス、FPGA、DSP などプログラムで書き換えることができるプログラマブルロジックデバイス、およびマイコンなどソフトウェアで制御する組み込みデバイスの大きく 3 つに大別される。

これらのデバイス活用は、県内でも多くの企業が開発に取り組んでいる。IT 関連企業など既に LSI 化技術を必須とする企業があり、また、これからも小型化・高性能な IC 化技術を必要とする企業が増加してくると思われる。

本調査研究は、様々な進展を見せているシステム LSI を中心とした次世代デバイスについて、その要素技術、設計技術、開発体制を調査する。また、幾つかの要素技術について設計、試作に取り組む。そして、県内外の動向を踏まえ、次世代デバイス利用促進のための支援体制構築について検討した結果を報告する。

2. デバイスの動向

2.1　市場

世界半導体市場統計によると、2004 年の市場規模は世界では 2,100 億ドル、日本では 460 億ド

＊　　下越技術支援センター
＊＊　　研究開発センター
＊＊＊　　中越技術支援センター

ルである。何れも前年比 20%を超える増加であった。市場規模は、シリコンサイクルと呼ばれる周期的な変動が特徴であり、2005 年の伸びは鈍化する予測が出ているが、今後は自動車市場への拡大が見込まれ、変動しながらも増加していくことは間違いない。日本の動向としては、生産主体がこれまでの DRAM から今後成長が見込まれるシステム LSI に動きつつあり、設備投資が盛んに行われている状況である。

2.2 動向に関する調査結果

半導体製造プロセスやデバイス生産技術動向について、企業訪問やセミナー受講を通じて分かったことを以下に列記する。

（1）半導体業界は、デジタル家電の伸びが国内では鈍化し始めたといわれているが、世界規模ではまだまだこれからである。さらに、自動車は、カーナビなど電子機器の塊になりつつあるので、車載される半導体は今後爆発的に進展するといわれている。ますますシステム LSI の発展が見込まれる。

（2）大企業はシステム LSI 化に力を入れているが独自の EDA（Electric Design Automation）を利用しており、汎用性が限られているので、中小企業では扱えないという問題がある。中小企業もシステム LSI に興味があるが、大規模な仕事は自社規模から考えて請け負えない実情がある。

（3）システム LSI の開発にはこれまで多くのコストと時間が必要であった。電子機器の短命化が進む中で、LSI 評価の高速化対応が重要である。

（4）システム LSI の中でも FPGA は、半導体の最先端のプロセスを用いて数千万素子まで規模が大きくなっており、ロジックデバイスとして有力になる。従来デジタル回路だけであったがアナログ混載の FPGA も登場しているのでさらに発展する可能性がある。

3. デバイス開発支援体制の現状

一般に、LSI および関連デバイスのハードウェア並びにソフトウェアの開発には多くの工数とコストがかかる。これを支援するため、学会活動や民間のデバイス設計支援、製造受託機関が近年増えてきている。一方、公的機関でも多くの取り組みを行っている。主なものを以下に示す。

3.1 大規模集積回路設計教育センター

VDEC(VLSI Design and Education Center)[1]は、東京大学に本部を持つ大規模集積回路の設計教育センターで、日本の国公私立大学と工業高等専門学校における VLSI 設計教育の充実と研究活動の推進のために平成 8 年 5 月に全国共同利用施設として発足している。VLSI 設計に必要な最新 CAD ツール、設計技術情報、チップ試作、設計セミナー、研究集会等を全国に向け継続的に企画・提供している。低価格で LSI チップを試作できるが、設立の趣旨から支援対象は大学等に限られる。

3.2 組み込み技術開発支援

独立行政法人産業総合研究所を中心に、宮城県産業技術センターなど全国 27 の公設試験研究機関が集まって組み込み技術研究会を結成している。ここでは ITRON、FPGA、組み込み LINUX を柱としてその普及と支援に力を入れている。

そのほか、東京大学坂村教授を中心に民間企業 200 社が集まった T-engine[2] という NPO を設立し、組み込み ITRON の普及を目指しているものや名古屋大学高田教授らが TOPPERS[3] という μITRON の普及を目指して NPO を設立し活動している。

3.3 福岡システム LSI 総合開発センター

福岡システム LSI 総合開発センター[4] は、システム LSI 設計開発拠点の構築を目指す「シリコンシーベルト福岡プロジェクト(SSB プロジェクト)」の活動の一環で、独立行政法人中小企業基盤整備機構の補助を受けて、2004 年 11 月に開設された。総事業費は 30 億円である。現在、財団法人福岡県産業・科学技術振興財団（ふくおか IST）により管理運営されている。主な施設・機

能として、インキュベーションルーム、九州大学システム LSI 研究センター、知的クラスター研究所、福岡システム LSI カレッジ、共同設計ラボ、検証ラボがあり、LSI 開発支援、企業育成のため様々な取り組みを行っている。

4. 新潟県内の状況

新潟県内にも LSI や FPGA の開発を支援する企業が近年進出してきている。

また、県内大学でも VDEC に登録し、県内の企業と共同開発すべく IC 化に取り組んでいる研究室が多々ある。テーマの例を上げると、長岡技術科学大学の荻原等の高速誤り訂正符号理論[5]、新潟大学の菊池、村松等の画像処理分野のデインタレース技術[6]、FPGA を利用した画像処理高速化、新潟工科大学の角山等のネットワークデータ圧縮アルゴリズムなどである。

このようにシステム LSI 技術は、産業界ばかりでなく、学術界や公的試験機関がそれぞれさまざまな形態での普及活動している技術であり、デジタル家電や携帯電話に代表されるように電子機器製品の小型化や付加価値創出には必要不可欠とされ、日本企業が世界でリードしている分野でもある。今後産業界の基盤をなすものであるので、当所では、本調査研究を通して、以下の具体的取り組みを行い、開発支援方法を探る。

5. 具体的取り組み

支援方法を探るため、現在注目されているデバイスや今後発展しそうなデバイスを取り上げてセミナーに参加し、開発ツールを購入し、実際に設計・試作を行った。また、EDA の一連の流れを習得し、動作シミュレーションやハードウェア設計などを行った。以下に具体的取り組みの例を示す。

5.1 PSoC (Programmable System on Chip)

5.1.1 PSoC の特徴

PSoC は Programmable System on Chip の頭文字を取ったサイプレスマイクロシステムズ社の製品[7]で、アナログ回路、デジタル回路、マイコンを一つに収めた新しいタイプのワンチップ・マイコンである。2001 年に販売が開始され、日本国内では 2004 年に技術情報誌[8]に掲載され、注目度が上がった。PSoC のイメージ図を図 1 に示す。

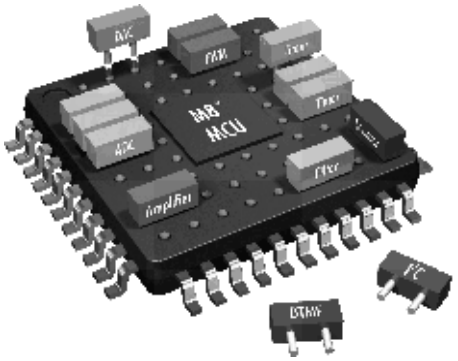

図 1　PSoC のイメージ図

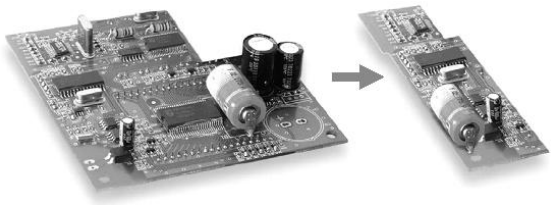

図 2　磁気カードリーダの小型化例

従来のマイコンには、CPU と基本的で固定されたブロックが内蔵されており、機能固定の専用ブロックしかないため、アプリケーションごとに外部回路を作り込まなくてはならなかった。一方、PSoC は、チップ内部に汎用的に使え、アナログとデジタル信号を扱うことができるブロックを多数用意し、これらを組み合わせてさまざまな機能ブロックを作り上げられるようになった。これらを相互に結線してアプリケーション向け専用回路をチップ内部に実現できるため、回路を小型化することができる。

磁気カードリーダを例にして、PSoC の長所を図 2 に示す。従来のマイコンを使った場合は外部回路として多くの部分を別に作らなければならなかったが、PSoC を使うことで、外部回路はかなり小さくなる。部品点数も大幅に削減できるため、基板コストや実装コストも大幅に削減できる。

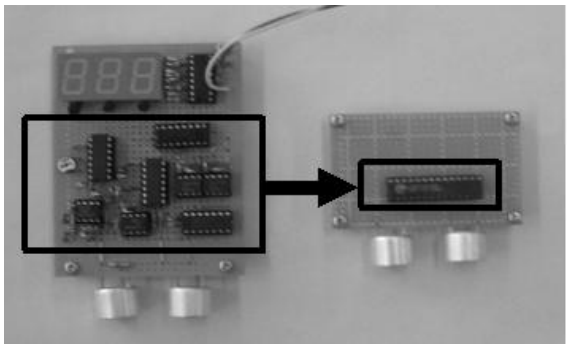

図３　超音波回路の小型化実施例

また、動作中に再コンフィギュレーション可能であることも特徴である。

5.1.2　取り組みの具体例

具体的に、PSoC を利用した場合で、回路の大きさを比較した（図３）。この回路は、超音波パルスを発生し、障害物に反射して戻ってくるものを受信し、その時間からセンサから障害物までの距離を計算するものである。

5.1.3　まとめ

もちろん PSoC は万能ではなく、現状では扱える周波数帯域は専用ブロックに比べて制約があり、ブロック数の不足を感じることもある。しかし、プログラムでアナログ回路を組めること、回路全体を小さくできることなどの長所があり、PSoC で実現できるアプリケーションが数多く考えられる。

5.2　デインタレース

5.2.1　概要

現行のテレビでは、動画像の表示・伝送・記録に奇数フィールドと偶数フィールドを交互に表示するインタレース映像が用いられている。テレビ信号の規格が考えられた当時は、電子回路技術が現在ほど発達しておらず、なるべく低い周波数で、ある程度の解像度を保つ伝送方式が必要であった。人間の眼は、映像の急激な変動にさほど敏感でないため、この方式で表示しても動く画像として感じることがきる。

このインタレース映像をパソコン等に取り込んでディスプレイに表示した場合、ディスプレイ

図４　デインタレース処理前

図５　デインタレース処理後

ではフレーム単位で映像を表示するため、問題が起きる。被写体が高速で動いている場合、奇数フィールドと偶数フィールドの表示に時間差あるため、図４のように、動いている被写体の輪郭にギザギザが生じる。このギザギザの発生は、くし状効果とも呼ばれる。このくし状効果を抑える処理がデインタレースである。

5.2.2　デインタレースの一手法

調査研究で共同研究を行った新潟大学工学部菊池教授の研究室では、画像符号化の点からデインタレースの一手法を提案している[6)]。画像符号化とは、画像を伝送するために、質をなるべく落とさず圧縮することである。インタレース映像を単純な合成でフレーム化し圧縮すると、くし状部分の高周波成分が復号時に切り捨てられ、動画像にちらつきとなって発生する。そのため、符号化

する前にデインタレースを行い、くし状効果を抑える必要がある。菊池研究室では、くし状効果を抑えかつ復号化した信号から元のインタレース映像が復元できる、可変係数型可逆デインタレースを提案している。

5.2.3　性能評価

デインタレース処理をC言語でプログラムし、パソコンで性能評価を行った。図4に示す処理前の単純なフィールド合成画像をデインタレース処理した結果を図5に示す。単純なフィールド合成に比べて、くし状効果を削減できることがわかった。なお、処理パラメータを変えることでくし状効果をさらに小さくできるが、上下の画素の影響が大きくなってしまい、垂直方向の解像度が悪くなることもある。

最新のマイクロプロセッサはクロックも速く、VGAの解像度で毎秒30フレームに近い処理が可能であるが、パソコンではシステムが冗長で消費電力も大きく、また解像度の高い画像では、専用ICによる処理が必要になる。

5.2.4　ハードウェア設計

VDECを受講し、LSIおよびFPGA共通の設計手法を習得した。SystemC言語でデインタレース処理の動作記述を行い、コンパイラ上で正常動作を検証した。

5.3　スパイラルインダクタの設計

5.3.1　目的

スパイラルインダクタとはうずまき状の配線パターンで構成した高周波用素子で、IC 内に装填するインダクタンスである。現在、IC 内部にこの素子が装填されつつあり、今後はIC回路には欠かせないキーデバイスになると考えられる。さらに、この技術はIC回路だけでなく、無線アンテナや医療技術など次世代デバイスのキーテクノロジとなる可能性がある。しかし、IC 内に装填できてもインダクタンス量が小さく、幅広い利用までは至っていないのが実状である。

一方、この問題点を解決するための特許をいくつか保有している県内企業があるが、設計評価が未着手のため、具体化されていない。

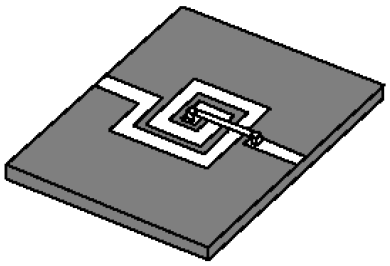

図6　スパイラルインダクタの外観

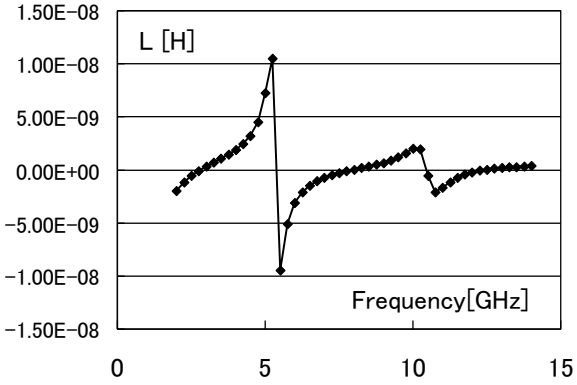

図7　インダクタンスの解析例

そこで、本調査研究でこのスパイラルインダクタを取り上げ、設計および評価解析シミュレーションを行う。電磁解析シミュレータは、Ansoft社のensemble v.8を利用する。

5.3.2　解析結果

スパイラルインダクタの三次元モデルを作成し、ensemble を用いてスミスチャートおよびSパラメータのシミュレーションを行い、それぞれの特性を評価する。設計したインダクタの一例を図6に示す。コイルの外形寸法は4.4mm、誘電体層はアルミナ635 μmである。2GHzから14GHzまでのインダクタンスの周波数特性を解析して求めた結果を図7に示す。

5.3.3　まとめ

スパイラルインダクタモデルを作成し、シミュレーションできることを確認した。今後、材料、構造パラメータなどを変えて、シミュレーションを実施する。また、同等品を作成してシミュレー

ションとの整合性について評価したい。

6. 結　　言

（１）LSI や関連デバイスの最新情報から、FPGA、PSoC 等のプログラマブルデバイスの需要が高まりつつあることが分かった。LSI 設計支援を行うには多額の費用とノウハウが必要である。プログラマブルデバイスに着目した支援が有効である。

（２）具体的取り組みとして、アナログ・デジタル混在プログラマブルデバイス PSoC の回路設計、試作を行った。また、デインタレース処理について新潟大学菊池研究室と共同研究を行い、C 言語ベースでの LSI 設計方法を習得した。更に、スパイラルインダクタのシミュレーション手法を習得した。MEMS の駆動回路および IC 内無線などに発展する可能性がある。

（３）今後、我々としては、引き続き調査研究を行うと共に、公設試で行っている組み込み技術研究会に参加し先端技術の習得と教育者の養成を行うことが必要である。また、県内中小企業を対象にデバイスメーカと共同でセミナーを開催するなどの支援をして行きたい。そして、産学官連携による研究事業への展開を図りたい。

参考文献

1) http://www.vdec.u-tokyo.ac.jp/
2) http://www.t-engine.org/
3) http://www.toppers.jp/
4) http://www.ist.or.jp/lsi/index.html
5) 荻原，大橋，“ターボ符号―連接符号化・繰り返し復号―”，電子情報通信学会誌，2001 年 3 月号，184-188.
6) 石田，村松，菊池，久下，“可変係数型可逆デインタレース処理”，電子情報通信学会論文誌， Vol.J87-A，No.2，2004，336-342.
7) http://www.cypress-japan.co.jp/
8) 桑野，“PSoC マイコンで行こう！”，トランジスタ技術，2004 年 4～9 月号，CQ 出版社.