ノート

半導体パッケージ基板配線狭ピッチ化等に関する研究開発

山田　敏浩[*]　宮口　孝司[*]　丸山　英樹[*]　天城　和哉[*]　近　正道[**]　佐藤　健[***]　相田　収平[***]
小松　裕司[****]　水野　雅之[****]　横山　智之[****]　下石坂　望[****]　平田　勝則[****]

A Study on Narrow Pitch Wiring on a Semiconductor Package Substrate and Related Technologies

YAMADA Toshihiro[*], MIYAGUCHI Takashi[*], MARUYAMA Hideki[*], AMAKI Kazuya[*], CHIKA Masamichi[**], SATO Takeshi[***], AIDA Shuhei[***], KOMATSU Hiroshi[****], MIZUNO Masayuki[****], YOKOYAMA Tomoyuki[****], SHIMOISHIZAKA Nozomi[****], and HIRATA Katsunori[****]

1. 緒　　言

半導体のチップを作製する前工程では配線ルールが微細化し，チップサイズの小型化が進んでいる。一方，チップを実装する半導体パッケージ基板（以下，基板と呼ぶ）では，バンプピッチの微細化に限界があるため，チップサイズと同じ割合で基板面積を小型化することが難しくなってきている。

図1は, 半導体の配線ルールが24nmから12nmになった場合の基板面積を比較したものである。バンプピッチが 40μm でこれが基板面積縮小を律速する場合，チップの実装面積が削減されても基板面積は縮小しない。チップの実装面積の削減率と同程度に基板面積を縮小するためにはバンプピッチを少なくとも 20μm 以下に狭ピッチ化する必要がある。

本研究では，グレイスケールリソグラフィーとインプリント技術を利用した狭ピッチ化技術の開発を目指した。バンプピッチの目標は, 10μmである。

プロセスのフローを図2に示す。このプロセスでは,

① マスターモールド作製
② レプリカモールド作製
③ 導電ペースト充填
④ 導電ペースト転写

の工程で導電ペーストを用いた狭ピッチ配線を形成する。

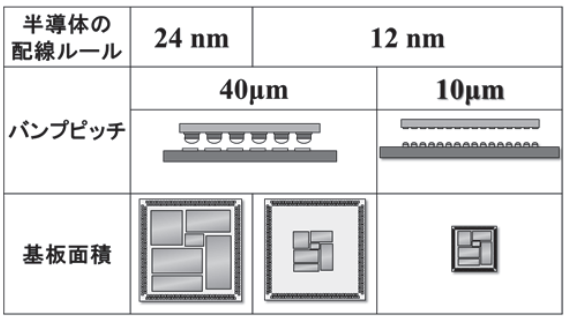

図1　配線ルール・バンプピッチと基板面積

本稿では，プロセスの最初の工程であるグレイスケールリソグラフィーによるマスターモールドの作製について報告する。

2.　マスターモールドの作製

2.1　マスターモールドの作製方法

マスターモールドは，グレイスケールマスクにネガ型フォトレジストSU-8 3000（MICROCHEM社製）を塗布し，露光することで形成した。

*　研究開発センター
　　レーザー・ナノテク研究室
**　上越技術支援センター
***　研究開発センター
****　コネクテックジャパン株式会社

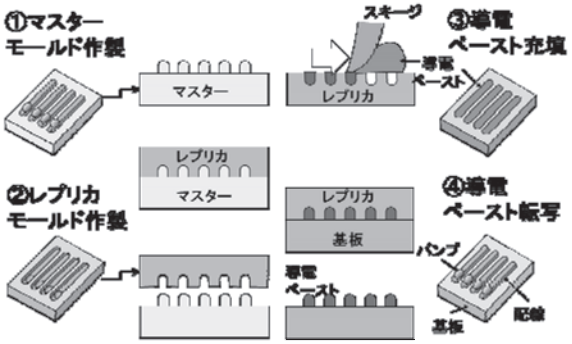

図 2　プロセスフロー

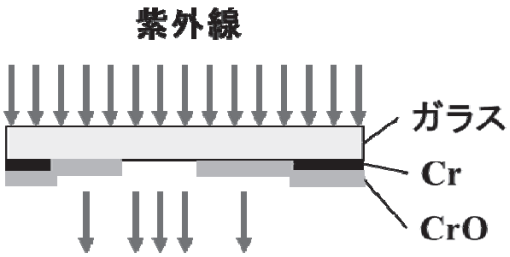

図 3　グレイスケールマスクの原理

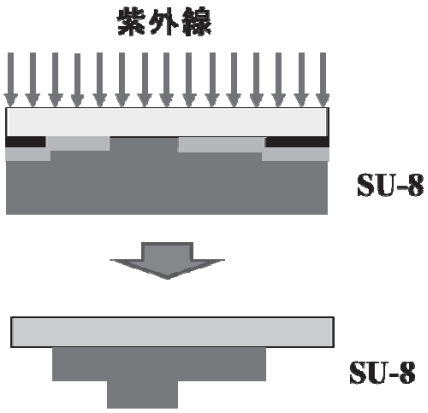

図 4　グレイスケールマスクを用いた
SU-8 の露光

図 3 に今回用いたグレイスケールマスクの原理図を示す。グレイスケールマスクはガラス基板に Cr と CrO をパターニングして作製した。Cr の部分は紫外線を遮り，CrO の部分は低い透過率で紫外線を透過させる。

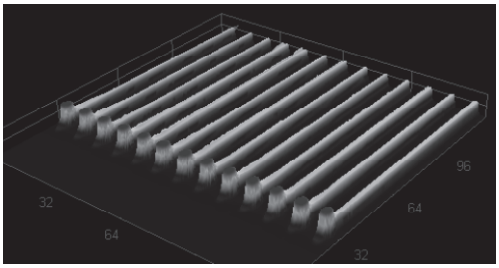

図 5　マスターモールド
（L/S　5μm/5μm）

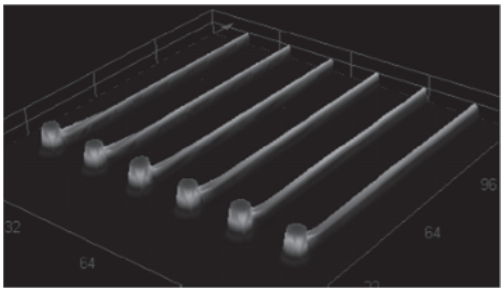

図 6　マスターモールド
（L/S　5μm/15μm）

図 4 にグレイスケールマスクを用いた SU-8 の露光の様子を示す。CrO の部分の SU-8 の高さは，紫外線透過率で調整した。

2.2　マスターモールドの形状測定

マスターモールドの形状測定はオリンパス（株）製 3D 測定レーザー顕微鏡 OLS4100-SAT を用いてを行った。

測定結果を図 5，図 6 に示す。測定試料の配線の高さは 5μm，バンプの高さは 13μm であった。5μm の配線について，目的とするバンプピッチ 10μm を得ることができた。

3.　結　　言

（1）Cr と CrO でパターニングしたグレイスケールマスクを用いたマスターモールド作製技術を確立した。

（2）配線の L/S が 5μm/5μm，バンプピッチが 10μm のマスターモールドを作製した。