ノート

半導体パッケージ基板配線狭ピッチ化等に関する研究開発（第2報）

山田　敏浩*　丸山　英樹*　小林　泰則*　松本　好勝**　宮口　孝司*
小松　裕司***　古川　伊織***　横山　智之***　下石坂　望***

A Study of Narrow Pitch Wiring on a Semiconductor Package Substrate and Related Technologies, 2nd Report

YAMADA Toshihiro*，MARUYAMA Hideki*，KOBAYASHI Yasunori*，
MATSUMOTO Yoshikatsu**，MIYAGUCHI Takashi*，KOMATSU Hiroshi***，
FURUKAWA Iori***，YOKOYAMA Tomoyuki***and SHIMOISHIZAKA Nozomi***

1.　緒　　言

半導体チップの配線ルール微細化により，チップサイズの小型化が進んでいる。一方で，チップを実装する半導体パッケージ基板（以下，基板と呼ぶ）は，現状，バンプピッチの微細化に限界があるため，チップサイズと同じ割合で基板面積を小型化することが難しくなってきている。

図1は，半導体の配線ルールが24nmから12nmになった場合の基板面積を比較したものである。バンプピッチが40μmでは，チップの実装面積が削減されてもチップと同等の割合で基板面積を縮小することができない。チップの実装面積の削減率と同程度に基板面積を縮小するためにはバンプピッチを10μm程度に狭ピッチ化する必要がある。

本研究では，グレイスケールリソグラフィーとインプリント技術を利用して基板配線を狭ピッチ化する技術の開発を目指した。バンプピッチの目標は10μm，バンプ高さの目標は10μmである。

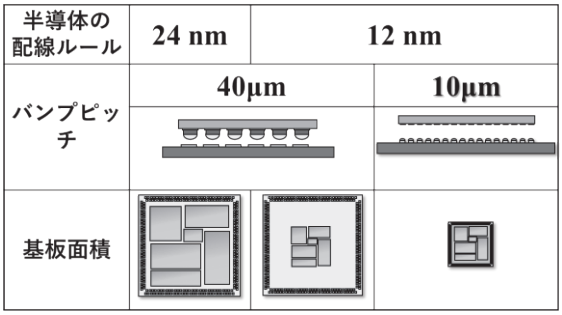


図1　配線ルール・バンプピッチと基板面積

前報では1プロセス目となるマスターモールドの作製について報告したが，本報では作製したマスターモールドを用いたペースト転写について報告する。

2.　プロセスフロー

プロセスフローを図2に示す。

① マスターモールド作製
② レプリカモールド作製
③ 導電ペースト充填
④ 導電ペースト転写

以上の各プロセスで導電ペーストを用いた狭ピッチ配線を形成した。マスターモールドはグレイスケールリソグラフィー技術を用いて作製し，レプリカモールドはマスターモールドの形

*　研究開発センター
　レーザー・ナノテク研究室
**　上越技術支援センター
***　コネクテックジャパン株式会社

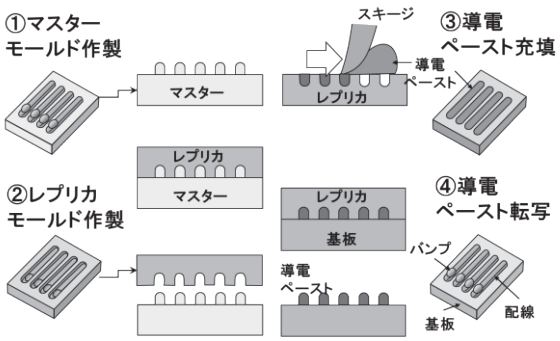


図2　プロセスフロー

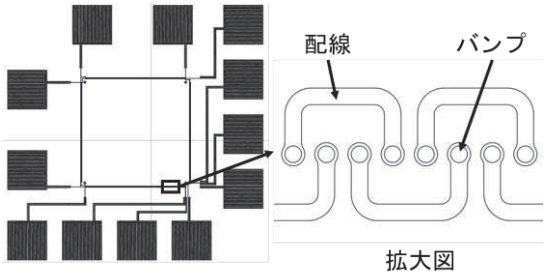


図3　Daisy-Chain TEG基板配線

状を反転して作製した。導電ペースト充填では，レプリカモールドの窪みに導電ペーストを充填した後，不要なペーストの掻き取りを行った。転写はPET基板上に行った。

3.　配線パターン

本研究で用いたDaisy-Chain TEG（Test Element Group） 基板配線を図3に示す。Daisy-Chain TEG基板配線は，バンプ部分をTEGチップで接続することで，多くの接続点を持ったチェーンパターンを形成するもので，それを用いて実装基板の信頼性評価を行うことができる。

4.　Daisy-Chain TEG基板配線の形状観察

導電ペーストの転写で作製したDaisy-Chain TEG 基板配線を，電子顕微鏡とレーザー顕微鏡を用いて観察した。電子顕微鏡は（株）日立ハイテクノロジーズ製S-4300SE，レーザー顕微鏡はオリンパス（株）製3D測定レーザー顕微鏡OLS4100-SATである。

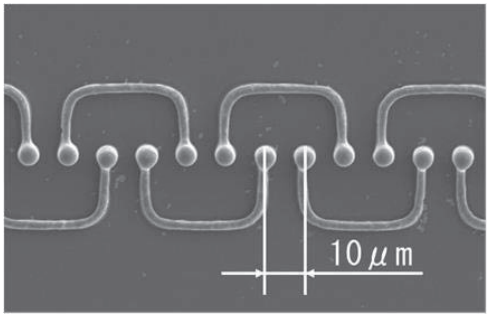


図4　転写した導電ペーストの電子顕微鏡像

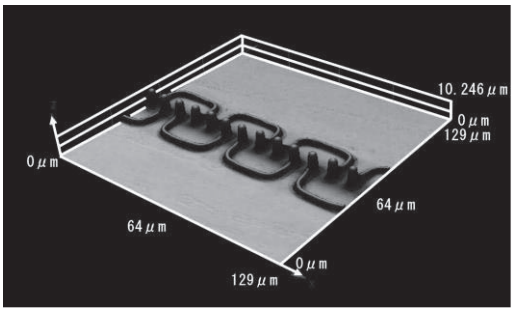
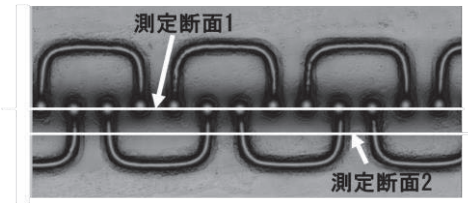
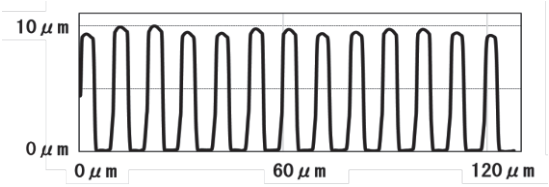


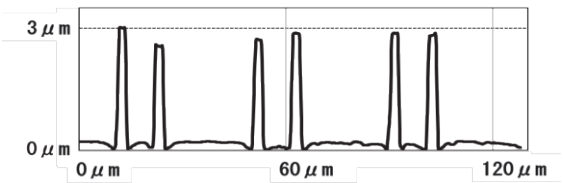
図5　転写した導電ペーストの
レーザー顕微鏡像（3D表示）



（a）測定位置



（b）測定断面 1 の形状



（c）測定断面 2 の形状

図 6　転写した導電ペーストの
レーザー顕微鏡像（2D 表示）

図4に電子顕微鏡像，図5に3D表示したレーザー顕微鏡像を示す。

図6は，2D表示したレーザー顕微鏡像である。である。図6（a）に示した測定断面1の断面形状が図6（b），測定断面2の断面形状が図6（c）である。バンプピッチは約10μm，パンプの高さは約10μm，ラインの高さは約3μmであった。

5. 結　　言

（1）グレイスケールリソグラフィーとインプリント技術を利用したプロセスを用いて導電ペーストの基板配線を作製する技術を確立した。

（2）導電ペーストでバンプピッチが10μm，バンプ高さ10μm の Daisy-Chain TEG 基板配線を作製した。